

**MEMORY APPARATUS**

Patent Number: JP11007730  
Publication date: 1999-01-12  
Inventor(s): KUROSAWA YOSHIHIRO  
Applicant(s):: FUJITSU LTD  
Requested Patent:  JP11007730  
Application JP19970162320 19970619  
Priority Number(s):  
IPC Classification: G11B20/12 ; G11B20/10  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To reduce a capacity of defect management information and shorten a defect search time and an update time, by compressing defective sector information.

**SOLUTION:** A defective cylinder information management part 17 generates and manages a one-bit defective cylinder information 21 indicating the presence/ absence of a defective sector for every cylinder. A pointer information management part 18 forms the one-bit defective cylinder information 21 in groups for every plurality of cylinders, generates and manages a pointer information 22 indicating a start address of a defective sector information. Further, a defective sector information management part 19 generates and manages a defective sector information 23 corresponding to the start address designated by the pointer information 22, e.g. for every four bytes irrespective of kinds of an alternate sector and a split sector. An alternate process part 20 searches the defective cylinder information 21, pointer information 22 and defective sector information 23, thereby carrying out an alternate process, in response to an access requirement from a host apparatus.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

## (12)公開特許公報(A)

(11)特許出願公開番号

特開平11-7730

(43)公開日 平成11年(1999)1月12日

(51) Int.Cl.  
G 11 B 20/12  
20/10

識別記号

F I  
G 11 B 20/12  
20/10

C

審査請求 未請求 請求項の数4 O.L (全12頁)

(21)出願番号 特願平9-162320  
(22)出願日 平成9年(1997)6月19日

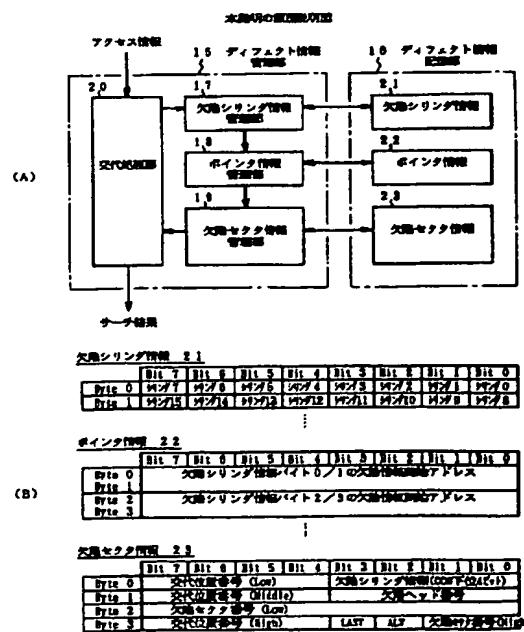
(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72)発明者 黒沢 義弘  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74)代理人 弁理士 竹内 進 (外1名)

(54)【発明の名称】 記憶装置

## (57)【要約】

【課題】欠陥セクタ情報を圧縮することで、ディフェクト管理情報の容量削減とディフェクトサーチ時間と更新時間を短縮化する。

【解決手段】欠陥シリンドラ情報管理部17でシリンドラ毎に欠陥セクタの有無を示す1ビットの欠陥シリンドラ情報21を生成して管理し、ポインタ情報管理部18で1ビットの欠陥シリンドラ情報21を複数シリンドラ単位にグループ化して欠陥セクタ情報の開始アドレスを示すポインタ情報22を生成して管理し、更に、欠陥セクタ情報管理部19で、交代セクタとスプリットセクタの種別に関わらず例えば4バイト単位にポインタ情報22で指定された開始アドレスに対応して欠陥セクタ情報23を生成して管理する。上位装置のアクセス要求に対し交代処理部20は、欠陥シリンドラ情報21、ポインタ情報22及び欠陥セクタ情報23をサーチして交代処理を行う。



## 【特許請求の範囲】

【請求項1】媒体上の欠陥セクタの位置アドレス及び欠陥セクタの交代先セクタアドレスを管理するディフェクト情報を、装置の電源投入時に、前記媒体から読み出して装置上のメモリ領域に展開して媒体のアクセスを行う記憶装置に於いて、

シリンドラ毎に欠陥セクタの有無を示す1ビットの欠陥シリンドラ情報を生成して管理する欠陥シリンドラ情報管理部と、

1ビットの前記欠陥シリンドラ情報を複数シリンドラ単位にグループ化して欠陥セクタ情報の開始アドレスを示すポインタ情報を生成して管理するポインタ情報管理部と、交代セクタとスプリットセクタの種別に関わらず所定バイト単位の情報として前記ポインタ情報で指定された開始アドレスに対応して欠陥セクタ情報を生成して管理する欠陥セクタ情報管理部と、

上位装置のアクセス要求に対し前記欠陥シリンドラ情報、ポインタ情報及び欠陥セクタ情報をサーチして交代処理を行う交代処理部と、を備えたことを特徴とする記憶装置。

【請求項2】請求項1記載の記憶装置に於いて、前記欠陥シリンドラ情報管理部は、交代セクタとスプリットセクタの種別に関わらず4バイト単位の情報として前記欠陥セクタ情報を生成管理することを特徴とする記憶装置。

【請求項3】請求項1記載の記憶装置に於いて、前記欠陥シリンドラ情報管理部は、前記欠陥セクタ情報として、前記ポインタ情報で指定される開始アドレスを共有している複数シリンドラの中の特定シリンドラを区別する欠陥シリンドラ情報、欠陥ヘッド番号、交代先セクタアドレスを示す交代位置番号、スプリットセクタか交代セクタかを示す制御ビット、トラックの最終ディフェクトを示す制御ビットの各々を備え、且つ前記欠陥シリンドラ情報及び欠陥ヘッド情報を下位ビット側に配置したことを特徴とする記憶装置。

【請求項4】請求項1記載の記憶装置に於いて、前記媒体のベンチテスト等に利用される1バイト長以下のシリンドラアドレス領域について、前記欠陥シリンドラ情報管理部は、シリンドラ毎に1バイト長の欠陥セクタ情報開始アドレスを生成して管理し、前記ポインタ情報管理部による欠陥セクタ情報開始アドレスを示すポインタ情報の管理を行わないことを特徴とする記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、媒体上の欠陥セクタの位置アドレス及び欠陥セクタの交代先セクタアドレスを管理するディフェクト情報を、装置の電源投入時に、媒体から読み出して装置上のメモリ領域に展開して媒体のアクセスを行う磁気ディスク装置等の記憶装置に関する。

## 【0002】

【従来の技術】従来、欠陥セクタの位置アドレス情報及び欠陥セクタの交代先セクタアドレスを管理するディフェクト情報は、図8(A)のように、シリンドラ単位に2バイトの欠陥セクタ位置情報開始アドレスで管理されている。この欠陥セクタ位置情報開始アドレスとしては、シリンドラが欠陥セクタをもつ場合には、そのシリンドラの欠陥セクタ位置が登録された開始アドレス(論理プロックアドレスLBA)が格納されている。また欠陥セクタを持たないシリンドラには、「FFF FFFF h」など10の初期値を定義している。

【0003】図8(A)のシリンドラ・ディフェクト情報の欠陥セクタ位置情報開始アドレスで管理される欠陥セクタ情報は、2バイトもしくは4バイト単位の情報で構成されて登録管理される。即ち、欠陥セクタ情報は、スプリットセクタの場合は図8(B)のように2バイト単位の情報であり、また交代セクタの場合には図8(C)のように、4バイト単位の情報である。

【0004】図8(B)のスプリットセクタの欠陥セクタ情報は、最初のバイト0の上位4ビットにセット状態で交代セクタ表示ビットALT、スペアセクタ表示ビットSP、スプリットセクタ表示ビットSL、最終シリンドラ表示ビットDLを割り当て、下位4ビットを欠陥ヘッド番号としている。次のバイト1には、1バイト長の欠陥セクタ番号を割り当てる。

【0005】図8(C)の交代セクタの欠陥セクタ情報は、最初のバイト0,1はスプリットセクタと同じであり、これに加え、バイト2に最上位ビットにシリンドラ表示ビットSSを割り当て、シリンドラ表示ビットSSはセット時に同一シリンドラのスペア交代を示し、クリア時に30交代シリンドラへのスペア交代を示す。続いて4ビット単位に交代先シリンドラ番号と交代先論理ヘッド番号を割り当てる。最終のバイト3は、1バイト長の交代先論理セクタ番号である。

## 【0006】

【発明が解決しようとする課題】しかしながら、このような従来のディフェクト情報の管理にあっては、大容量の装置になるほど、図8(A)のシリンドラディフェクト情報の情報量が、  
(シリンドラ本数) × (2バイト)

と増える。また、ディスク転送の速いゾーンで1トラック当たり256セクタを越える装置では、欠陥セクタ情報がスリップセクタのときに図9(A)のように1バイト増えて計3バイトになり、交代セクタのときには図9(B)のように2バイト増えて計6バイトが必要である。

【0007】このような装置容量の増加に対しハイエンド装置(高価格装置)では、ワークバッファメモリを十分に確保できるため、図8のディフェクト情報管理を継続して採用できる。しかし、限られたワークバッファメモリを持つローエンド装置(低価格装置)では、図8の

ディフェクト情報管理を使い続けることはできない。そのため図8（A）のようなシリンドラ毎に欠陥セクタ位置開始アドレスを持つのを止め、図9（A）（B）（C）の欠陥ゾーン情報、ゾーン・ポインタ情報及び欠陥セクタ情報で管理する方式をとり、ディフェクト管理情報の容量を削減している。

【0008】即ち、図9（A）の欠陥ゾーン情報は、2バイト単位にゾーンとヘッド番号ごとにアドレスポインタの開始アドレス（論理ブロックアドレスLBA）を登録して管理しており、図9（B）のゾーン・ポインタ情報は、2バイト単位に欠陥セクタ位置の開始アドレスを登録して管理している。図9（C）の欠陥セクタ情報は6バイトの情報であり、バイト0を欠陥セクタ番号、バイト1をスプリットセクタ表示ピットSL、交代セクタ表示ピットALT、3ビットの交替先論理ヘッド番号、2ビットの交代先シリンドラ番号とし、バイト2、3は2バイトの欠陥シリンドラ番号とし、バイト4は1バイトの交代先論理セクタ番号とし、更にバイト5は256セクタ以上の装置に対応するリザーブ（Reserved）としている。

【0009】しかし、図9のディフェクト情報のゾーン管理にあっては、1つのゾーンには数百本以上のシリンドラがあり、上位装置からアクセス要求を受けた際のディフェクト情報のサーチ時間は、図8のディフェクト管理情報に比較して、図9（C）の欠陥セクタ情報から余計に2バイトの欠陥シリンドラ番号をロードし、アクセス・シリンドラ番号と比較しなければならないため、オーバヘッドになる。また、ディフェクト管理テーブルを更新する場合、昇順に欠陥セクタ情報をソートしなければならないため、ソート時間もオーバヘッドになる。

【0010】更に、データ転送速度の早いゾーンで1トラック当たり256セクタ以上となる装置では、図9（C）の欠陥セクタ情報のバイト5のリザーブ（Reserved）を利用して欠陥セクタ番号及び交代先論理セクタ番号の上位2ビットを確保しなければならず、ディフェクトサーチにおけるオーバヘッドが更に加わることが予想される。

【0011】本発明は、今後、開発される大容量のローエンド装置についてハイエンド装置相当のディフェクトサーチ時間を保証し、且つ、欠陥セクタ情報を圧縮することで、ディフェクト管理情報の容量削減と更新時間の短縮化を図るようにした磁気ディスク装置等の記憶装置を提供することを目的とする。

#### 【0012】

【課題を解決するための手段】図1は本発明の原理説明図である。本発明は、媒体上の欠陥セクタの位置アドレス及び欠陥セクタの交代先セクタアドレスを管理するディフェクト情報を、装置の電源投入時に、媒体から読み出して装置上のメモリ領域に展開して媒体のアクセスを行う磁気ディスク装置等の記憶装置を対象とする。

【0013】このような記憶装置につき本発明にあっては、欠陥シリンドラ情報管理部17がシリンドラ毎に欠陥セクタの有無を示す1ビットの欠陥シリンドラ情報21を生成して管理する。またポインタ情報管理部18は1ビットの欠陥シリンドラ情報21を複数シリンドラ単位にグループ化して欠陥セクタ情報の開始アドレスを示すポインタ情報22を生成して管理する。

【0014】更に、欠陥セクタ情報管理部19は、交代セクタとスプリットセクタの種別に関わらず所定バイト単位の情報としてポインタ情報22で指定された開始アドレスに対応して欠陥セクタ情報23を生成して管理する。そして、上位装置のアクセス要求に対し交代処理部20は、欠陥シリンドラ情報21、ポインタ情報22及び欠陥セクタ情報23をサーチして交代処理を行う。

【0015】欠陥セクタ情報管理部19は、交代セクタとスプリットセクタの種別に関わらず全て4バイト単位の情報として欠陥セクタ情報23を生成管理する。このためディフェクトサーチの際にメモリからの欠陥セクタ情報23のロードが全て4バイト単位に固定され、セクタサーチでバイト長切替を必要としない分、サーチ時間を短縮できる。

【0016】欠陥シリンドラ情報管理部17は、欠陥シリンドラ情報21としてポインタ情報22で指定される開始アドレスを複数シリンドラにつき共有しており、その分、ポインタ情報22の容量を低減できる。欠陥セクタ情報管理部19で管理する欠陥セクタ情報23は、同一のポインタ情報22で管理される複数の欠陥セクタ情報中の特定シリンドラを区別する欠陥シリンドラ情報（例えば欠陥シリンドラ情報の下位4ビット）、欠陥ヘッド番号、交代先セクタアドレスを示す交代位置番号、スプリットセクタか交代セクタかを示す制御ピットALT、トラックの最終ディフェクトを示す制御ピットLASTの各々を備え、且つ欠陥シリンドラ情報及び欠陥ヘッド情報を下位ビット側に配置することによって、欠陥シリンドラ情報及び欠陥ヘッド情報の取得を高速化する。

【0017】このような本発明の記憶装置によれば、欠陥シリンドラ情報のポインタ情報及び欠陥セクタ情報で構成されるディフェクト管理情報を圧縮してワークバッファに展開した際の容量を削減し、同時に、ディフェクト管理情報のサーチと更新に要する時間を短縮でき、ワークバッファの容量に限界のあるローエンド装置の媒体容量の増加に対しディフェクトサーチ時間を保証し、オーバヘッドによる性能低下を防止する。

【0018】また媒体のベンチテスト等に利用される特定の1バイト長以下のシリンドラアドレス領域について、欠陥シリンドラ情報管理部17は、シリンドラ毎に欠陥セクタ位置の開始アドレスを示す1バイト長の欠陥セクタ開始アドレスを生成して欠陥シリンドラ情報21として管理し、この場合、ポインタ情報管理部18による欠陥セクタ情報の開始アドレスを示すポインタ情報22の管理を

行わない。

【0019】このためベンチテスト等のために頻繁にアクセスされる1バイト長以下の特定のシリンドアドレス領域については、欠陥シリンド情報21から直ちに欠陥セクタ情報23の開始アドレスを取得し、この場合は、容量の低下を若干犠牲にしてディフェクトサーチ時間の短縮化を図る。

#### 【0020】

【発明の実施の形態】図2は本発明のディフェクト情報管理が適用される磁気ディスク装置のブロック図である。ハードディスクドライブ(HDD)として知られた磁気ディスク装置は、ディスクエンクロージャ1とコントロール回路ボード2で構成される。ディスクエンクロージャ1には、ヘッドICとして実装されたR/Wプリアンプ回路3、ヘッドアクチュエータの先端に支持されて磁気ディスク媒体のトラックを横切る方向に位置決めされるヘッドアッセンブリ4、ヘッドアクチュエータを駆動するボイスコイルモータ(以下「VCM」という)5、及び磁気ディスク媒体を回転するスピンドルモータ6を備える。

【0021】ディスクエンクロージャ1に設けたR/Wプリアンプ回路3は、ヘッド選択、リード/ライト切替えの通常の機能に加え、ライト電流やMRヘッドに対するリードセンス電流の切替え、更にはパワーセーブ等のモード設定等の多機能化が近年は図られており、コントロール回路ボード2からのシリアル転送ラインによるレジスタ設定で回路パラメータやモード設定が制御できる。

【0022】ヘッドアッセンブリ4はディスクエンクロージャ1に設けている磁気ディスク媒体の記録面の枚数に対応した数だけ設けられ、各ヘッドアッセンブリ4はインダクティブヘッドを用いたライトヘッドと例えばMRヘッドを用いたリードヘッドを一体化した複合ヘッドアッセンブリを使用している。コントロール回路ボード2側には、ハードディスクドライブ全体の制御を行うMCU(マイクロコントローラユニット)7、リードチャネル回路8、ハードディスクコントローラ9、不揮発性のフラッシュPEROM12、DRAMを用いたデータバッファ13、VCM5及びスピンドルモータ6を駆動制御するサーボコントローラ10、更に上位装置に対するインターフェースコネクタ14が設けられている。

【0023】本発明のディフェクト情報の管理は、MCU7に設けているMPUによるプログラム制御により実現され、内蔵したワークバッファメモリ16aには、ディスクエンクロージャ1側の磁気ディスク媒体のシステム領域に格納されているディフェクト管理情報が、装置電源立ち上げの際に読み出されて展開され、それ以降はワークバッファメモリ16a上のディフェクト管理情報を対象にMCU7は、上位装置からのアクセスに対しデ

ィフェクト処理を実行する。

【0024】図3は図2のMCU7によって実現される本発明のディフェクト情報管理の機能ブロック図である。このディフェクト情報管理の機能は、ディフェクト情報管理部15とディフェクト情報記憶部16で構成される。ディフェクト情報管理部15には欠陥シリンド情報管理部17、ポインタ情報管理部18、欠陥セクタ情報管理部19及びディフェクト情報のサーチを行う交代処理部20が設けられる。

【0025】ディフェクト情報記憶部16は図2のMCU7に設けているワークバッファメモリ16a上に展開された情報であり、欠陥シリンド情報21、ポインタ情報22及び欠陥セクタ情報23で構成されている。図4は図3のディフェクト情報記憶部16のワークバッファメモリ16aにおけるメモリマップの説明図である。この例にあっては、欠陥シリンド情報21は2バイトを1単位とする情報であり、ワークバッファメモリ16aのアドレスXを先頭とした欠陥シリンド情報エリア21aに複数格納されている。

【0026】次のポインタ情報22も、2バイトの情報であるワークバッファメモリ16aのアドレスYを先頭アドレスとしたポインタ情報エリア22aに複数格納されている。更に欠陥セクタ情報23は4バイト単位の情報であり、ワークバッファメモリ16a上のアドレスZを先頭アドレスとした欠陥セクタ情報エリア23aに複数格納されている。

【0027】図5は図3に示したディフェクト情報記憶部16に格納される欠陥シリンド情報21、ポインタ情報22及び欠陥セクタ情報23の詳細である。図5(A)は本発明のディフェクト情報管理で使用する欠陥シリンド情報21であり、磁気ディスク媒体の1シリンドにつき1ビットを割り当てており、1つのシリンド上での欠陥セクタの有無を1ビットで管理している。即ち、1つのシリンド上に欠陥セクタが1つでも存在すると対応するシリンド番号のビットが1にセットされ、欠陥セクタが存在しなければ対応するシリンド番号のビットが0にクリアされたビットマップ情報として構成される。

【0028】図5(A)にあっては、バイト0とバイト1の2バイトを取り出しており、バイト0側はシリンド番号0~7についてビット0~7が割り当てられ、バイト0側にあってはシリンド番号8~15がビット0~7について割り当てられている。例えば磁気ディスク媒体のシリンド数が8192本であったとすると、シリンド8本で1バイトの欠陥シリンド情報21となることから、全シリンド本数8192本につき1024バイトの情報量となる。

【0029】図5(B)はアドレスポインタとして機能するポインタ情報22である。このポインタ情報22は、図5(A)に示すバイト0、1の2バイト分の欠陥

シリンド情報21、即ち16シリンド分の欠陥シリンド情報21を1グループとして、各シリンドの欠陥セクタ情報を格納しているメモリ領域の開始アドレス、即ち欠陥シリンド情報、バイト0／1の欠陥情報開始アドレスを格納している。

【0030】この結果、アドレスポインタとしてのポインタ情報22は、図5(A)の2バイト単位に指定される16シリンド分の欠陥セクタ情報を特定するための共用アドレスポインタとして機能する。図5(B)のポインタ情報22は、図5(A)のバイト0, 1の2バイト分(16シリンド分)の欠陥シリンド情報21に対応したバイト0, 1の欠陥情報開始アドレスを格納しており、4バイト単位に処理されることから、次のバイト2, 3の欠陥シリンド情報に対応した欠陥情報開始アドレスも併せて示している。

【0031】具体的には、ポインタ情報22の情報量は総シリンド数を8192本とした場合、図5(A)の欠陥シリンド情報21が1024バイトであり、欠陥シリンド情報21の2バイト単位にポインタ情報22も2バイト単位の情報を与えることから、ポインタ情報22も1024バイトの情報量となる。図5(C)は欠陥セクタ情報23である。欠陥セクタ情報23は、図4の欠陥セクタ情報エリア23aのようにワークバッファメモリ16aのアドレスZを開始アドレスとして、この実施形態にあっては4バイト単位の情報として格納されている。

【0032】欠陥セクタ情報23aの開始アドレスは、図5(B)のポインタ情報22の2バイト情報で指定される欠陥シリンド情報バイト0／1の欠陥情報開始アドレスを先頭位置として最大で16シリンド分の欠陥セクタ情報23が順番に格納されている。図5(C)の欠陥セクタ情報23につき本発明にあっては、欠陥セクタ情報がスプリットセクタであるか交代セクタであるかの種別に関係なく、全てバイト0, 1, 2, 3の4バイト情報で構成している。このため、図3のディフェクト情報管理15による欠陥セクタ情報23に対する登録、サーチ等の際のロード、ストアは全て4バイト単位の固定バイト長で処理することができ、スプリットセクタと交代セクタでのバイト長の切り分けを必要としないことから、その分、欠陥セクタ情報23の登録、更新、サーチが高速化できる。

【0033】欠陥セクタ情報23の構成は次のようになる。まずバイト0の上位4ビットには交代位置番号の下位4ビットが割り当てられている。次のバイト0の下位4ビットには欠陥シリンド情報の下位4ビットが割り当てられている。ここでポインタ情報22で指定される欠陥情報開始アドレスから次の欠陥情報開始アドレスの間には、図5(A)の2バイト情報で指定される16シリンド分の欠陥セクタ情報23が格納されており、この最大16シリンド分の欠陥セクタ情報の中の特定の欠陥シ

リンダを指定するために欠陥シリンド情報の下位4ビットを格納するようにしている。

【0034】即ち、上位装置からの8ビットのアクセスシリンド情報について欠陥シリンドであることが判別された場合、図5(A) (B) の欠陥シリンド情報21及びポインタ情報22によって、アクセスシリンド情報の上位4ビットによる共用化された欠陥情報開始アドレスが指定されていることから、その中の特定の欠陥シリンド情報についてはアクセスシリンド情報の下位4ビットを使用することで区別できる。

【0035】欠陥セクタ情報23のバイト1には、上位4ビットを使用して交代位置番号の中位4ビット(ただし、1トラック当たりセクタ数256を越えるゾーンでは上位4ビット)が割り当てられ、また下位4ビットに欠陥ヘッド番号が割り当てられている。ここで欠陥セクタ情報23のバイト0, 1につき下位4ビット側に欠陥シリンド情報と欠陥ヘッド番号を割り当てており、これによつて欠陥セクタ情報23をロードして欠陥セクタをサーチする際の欠陥シリンド情報及び欠陥ヘッド番号の取得を高速に処理できるようにしている。

【0036】欠陥セクタ情報23のバイト2の8ビットは、欠陥セクタ番号の下位8ビットが割り当てられている。欠陥セクタ情報23のバイト3の上位4ビットにはバイト0, 1側の下位4ビット、中位4ビットに対応した上位4ビットの交代位置番号が割り当てられている。更にバイト3側の3ビット目、2ビット目については制御ビットLASTと制御ビットALTが割り当てられる。

【0037】制御ビットLASTは、このビットをセットすることで欠陥セクタ情報23がトラックの最終ディフェクトであることを示している。また制御ビットALTは欠陥セクタ情報23がスプリットセクタか交代セクタかを示している。即ち、制御ビットALTが1にセットされると交代セクタであることを示し、0にクリアされるとスプリットセクタであることを示す。

【0038】欠陥セクタ情報23における3バイト目の下位2ビットは、2バイト目の8ビットで指定される欠陥セクタ番号に対する上位2ビットの欠陥セクタ番号の格納に割り当てられる。即ち、1トラック当たりのセクタ数が256以下のゾーンにあっては、2バイト目の8ビットの欠陥セクタ番号で足りるが、1トラック当たりのセクタ数が256セクタを超えて例えば1024セクタの10ビット構成となった場合には、3バイト目の下位2ビットで指定される欠陥セクタ番号の領域を使用する。

【0039】尚、欠陥セクタ情報23において、制御ビットALTが1にセットされたときバイト0, 1及び3の各交代位置番号が有効になるが、逆に制御ビットALTが0にクリアされたスプリットセクタの場合には交代位置番号は使用しないことから、バイト0, 1または3

の使用していない交代位置番号のビットを制御ビットALTに利用することも可能である。

【0040】図6は図3の交代処理部20により上位装置からアクセス情報を受けたときのディフェクト管理情報のサーチ処理のフローチャートである。まず上位装置からのリードまたはライトアクセスに伴って、アクセスシリンド番号CC、アクセスヘッド番号HH、アクセス開始セクタ番号SS、アクセス終了セクタ番号SEが提供される。

【0041】このようなアクセス情報を受けた交代処理部20は、まず欠陥シリンド情報21の参照を行う。即ち、ステップS1で、アクセスシリンド番号CCを図5(A)の欠陥シリンド情報21の1バイト長に格納できるシリンド数8本を示す数8で割って商Aと余りBを求める。続いてステップS2で、例えば図4のような欠陥シリンド情報領域21aの先頭アドレスXにステップS1で求めた商Aを加えたアドレスについての2バイトのワード情報を欠陥シリンド情報Cとしてロードする。このようにしてロードした欠陥シリンド情報Cについて、ステップS3で、ステップS1で求めた余りBに対応したビットBが1か否かチェックする。

【0042】ビットBが1であれば、このアクセスシリンド番号CCのセクタ中には欠陥セクタが存在していることから、ステップS4に進み、図4のポインタ情報領域22aの先頭アドレスYにステップS1で求めた商Aの半分の(A/2)を加えたアドレスの2バイトのワード情報をロードする。即ち、図5(B)のポインタ情報22の欠陥シリンド情報の1ビットが含まれる16シリンドをまとめて2バイトの欠陥シリンド情報バイトi/i+1の欠陥情報開始アドレスをロードする。次にステップS4でロードしたポインタ情報である欠陥情報開始アドレスの欠陥セクタ情報をステップS5で4バイトロードする。次のステップS6で、ステップS1で求めた余りBで指定される欠陥シリンド情報の下位4ビットにロードした4バイトの欠陥セクタ情報の中の欠陥シリンド情報が一致するか否かチェックする。

【0043】余りBが欠陥セクタ情報中の欠陥シリンド情報(下位4ビット)に一致すると、ステップS7に進み、欠陥ヘッド番号がアクセスヘッド番号に一致するか否かチェックする。ヘッド番号がアクセスヘッド番号に一致すれば、ステップS8で、欠陥セクタ情報の欠陥セクタ番号がアクセス開始セクタSSを超えていいるか否かチェックする。

【0044】欠陥セクタ番号がアクセス開始セクタSSを超えていれば、ステップS9で、欠陥セクタ番号がアクセス最終セクタ番号SEより小さいか否かチェックする。欠陥セクタ番号がアクセス最終セクタ番号SEより小さければ、この欠陥セクタ情報はアクセス対象となっているセクタ範囲に入っていることから、ステップS10で欠陥セクタ情報中の制御ビットALTをチェック

する。

【0045】ALTビットが1であれば、これは交代セクタであることから、ステップS11に進み、欠陥セクタ情報から得た交代位置番号を予め分かっているトラック当たりのセクタ数で割って商Tとその余りEを求める。このとき商Tが交代セクタ位置のヘッド番号となり、また余りEが交代位置のセクタ番号となり、ステップS12で交代セクタに対するアクセスを行う。ステップS10でALTビットが0であった場合には、これは

スプリットセクタであることから、欠陥セクタ情報に基づいたスプリットセクタに対する処理を行う。

【0046】一方、ステップS6でロードした欠陥セクタ情報の欠陥シリンド番号が余りBに不一致な場合、ステップS7で欠陥ヘッド番号がアクセスヘッド番号に不一致な場合、あるいはステップS8で欠陥セクタ番号がアクセス開始セクタ番号SSより小さかった場合には、ステップS13に進み、欠陥セクタ情報の制御ビットLASTをチェックし、LASTビットが1でなければステップS5に戻って、次の欠陥セクタ情報を4バイトロードし、ステップS6からの処理を繰り返す。

【0047】これによってポインタ情報の先頭アドレスが指定される16シリンドごとの欠陥セクタ情報を順番に読み出して、アクセス情報に含まれている交代セクタのヘッド番号及びセクタ番号を求めて交代処理を行うことになる。また、サーチ中にステップS13でLASTビットが1であった場合には、そのシリンドにはディフェクトが存在しないことから、ステップS14に進み、そのシリンドにはディフェクトが存在しないものとしてサーチを終了する。

【0048】もちろん、ステップS3で欠陥シリンド情報のロード内容についてビットBが1でなかった場合には、そのシリンドにディフェクトがないことから、同様にしてステップS14でディフェクトなしとしてサーチを終了し、アクセス情報そのものによるアクセスを実行する。更にステップS11にあっては、交代シリンドを1本持つ装置を対象として交代位置番号をトラック当たりのセクタ数で割って求めた商Tをヘッド番号、余りEをセクタ番号としているが、交代シリンドを2本以上持つ装置にあっては、商Tを更に装置数で割った商(D/装置数)を、更に最大ヘッド本数で割った商がシリンド番号で、その余りがヘッド番号となる。

【0049】図7は本発明のディフェクト情報管理の他の実施形態であり、この実施形態にあっては光ディスク媒体のベンチテスト用のシリンド領域として割り当てられる例えばシリンド番号CC=000~256の欠陥シリンド情報について、図5(A)のような1シリンドに欠陥セクタが存在するか否かを1ビットで表現した情報とせず、欠陥シリンドについてその欠陥セクタ情報23の1バイト欠陥セクタ開始アドレスを直接管理するようにしたことを特徴とする。

【0050】即ち、図7のワークバッファメモリ16aに展開されたベンチテスト用シリンドの欠陥シリンド情報25にあっては、左側に示すシリンド番号CC=000~255の256シリンドについて、もしシリンド中に欠陥セクタが存在した場合には、図5(C)の欠陥セクタ情報23のワークバッファメモリ16a上の開始位置を示す1バイト欠陥セクタ開始アドレスを直接格納している。

【0051】この結果、ベンチテスト用シリンドの欠陥シリンド情報25にあっては、図5(B)のようなポインタ情報22を必要とせず、欠陥シリンド情報25のサーチで直接、図5(C)の欠陥セクタ情報23の開始アドレスを取得して、対応する欠陥セクタ情報をサーチすることができる。このため、ポインタ情報22を持たない分だけ、ベンチテストのために頻繁にアクセスするシリンド番号CC=000~255の256シリンド領域についてはディフェクト情報のサーチを高速化できる。

【0052】このベンチテスト用シリンド欠陥情報25以外の他のシリンド番号256以降については、図5(A)の1シリンドにつき欠陥セクタの有無を示す1ビットを割り当てた欠陥シリンド情報21を格納している。また上記の実施形態にあっては、図5(B)のポインタ情報22として図5(A)の欠陥シリンド情報21の16シリンドをグループ化して欠陥シリンド情報バイト(i/i+1)の欠陥情報開始アドレスをアドレスポインタとして登録しているが、他の実施形態として図5(B)のポインタ情報22を図5(A)の欠陥シリンド情報21の8シリンド(1バイト)につきグループ化し、ポインタ情報22を1バイト単位の領域として欠陥シリンド情報、バイト単位の欠陥情報を情報開始アドレスとしてもよい。

【0053】もちろん、この場合についても欠陥セクタ情報23の欠陥シリンド情報にはシリンド情報の下位4ビットを8本のシリンドの中の特定のシリンドの1つを区別するために格納する。なお本発明は上記の実施形態の数値による限定は受けない。

#### 【0054】

【発明の効果】以上説明してきたように本発明によれば、欠陥シリンド情報をシリンドごとのビット情報で管理して、この欠陥シリンド情報について例えばシリンド16本ごとにアドレスポインタとしての欠陥セクタ情報開始アドレスを持たせ、更に欠陥セクタ開始アドレスで管理される欠陥セクタ情報として交代セクタカスプリットセクタかの種別に関係なく全て4バイトの欠陥セクタ情報としたことで、トータル的なディフェクト管理情報の情報量を圧縮して低減でき、装置上のワークバッファメモリに展開した際のディフェクト管理情報の容量低減によりテーブル登録、更新、及びアクセス要求に対するディフェクト管理情報のサーチによる交代処理の処理時

間が短縮でき、ディフェクト管理情報を展開するワークバッファ領域に制限のあるローエンド装置であっても、ハイエンド装置相当のディフェクトサーチ時間を保証することができる。

#### 05 【図面の簡単な説明】

【図1】本発明の原理説明図

【図2】本発明が適用される磁気ディスク装置のブロック図

【図3】本発明によるディフェクト管理機能のブロック

#### 10 図

【図4】本発明のディフェクト管理情報のワークバッファ展開状態のメモリマップ説明図

【図5】本発明のディフェクト管理で使用する欠陥シリンド情報、ポインタ情報及び欠陥セクタ情報の説明図

#### 15 【図6】本発明のディフェクト管理情報に対するサーチ処理のフローチャート

【図7】本発明の他の実施形態で使用する欠陥シリンド情報のメモリマップ説明図

【図8】従来のディフェクト管理情報の説明図

#### 20 【図9】媒体セクタ数の増加に対応した従来の欠陥セクタ情報の説明図

【図10】ゾーンで管理する従来のディフェクト管理情報の説明図

#### 【符号の説明】

25 1 : ディスクエンクロージャ

2 : コントロール回路ボード

3 : R/Wブリアンプ回路

4 : ヘッドアッセンブリ

5 : ボイスコイルモータ (VCM)

30 6 : スピンドルモータ

7 : MCU

8 : リードチャネル回路

9 : ハードディスクコントローラ

10 : サーボコントローラ

35 11a, 11b : FPC

12 : フラッシュPEROM

13 : データバッファ

14 : インタフェースコネクタ

15 : ディフェクト情報管理部

40 16 : ディフェクト情報記憶部

16a : ワークバッファメモリ

17 : 欠陥シリンド情報管理部

18 : ポインタ情報管理部

19 : 欠陥セクタ情報管理部

45 20 : 交代処理部

21 : 欠陥シリンド情報

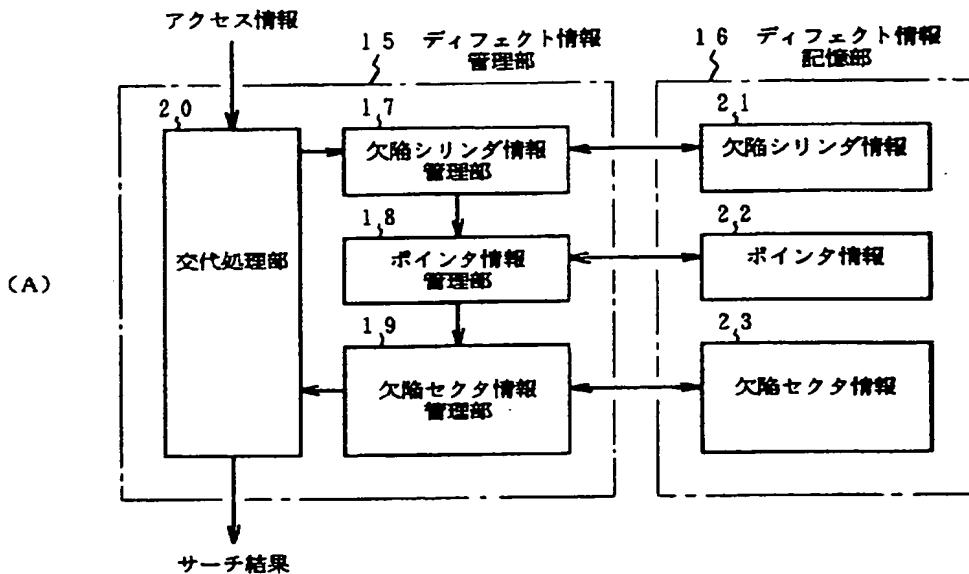
22 : ポインタ情報

23 : 欠陥セクタ情報

25 : ベンチテスト用欠陥シリンド情報

【図1】

本発明の原理説明図



欠陥シリング情報 21

|        | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|--------|-------|-------|-------|-------|-------|-------|-------|-------|
| Byte 0 | シリダ7  | シリダ6  | シリダ5  | シリダ4  | シリダ3  | シリダ2  | シリダ1  | シリダ0  |
| Byte 1 | シリダ15 | シリダ14 | シリダ13 | シリダ12 | シリダ11 | シリダ10 | シリダ9  | シリダ8  |

ポインタ情報 22

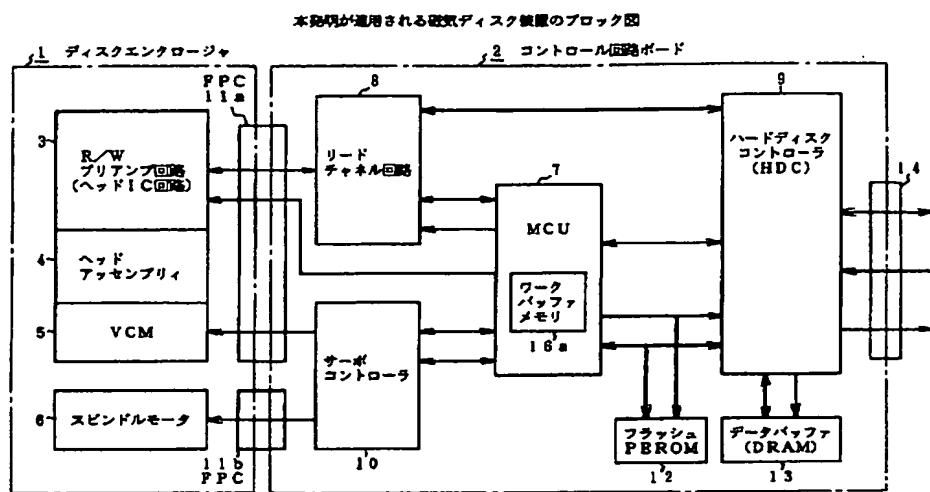
(B)

|        | Bit 7                     | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|--------|---------------------------|-------|-------|-------|-------|-------|-------|-------|
| Byte 0 | 欠陥シリング情報バイト0／1の欠陥情報開始アドレス |       |       |       |       |       |       |       |
| Byte 1 | 欠陥シリング情報バイト2／3の欠陥情報開始アドレス |       |       |       |       |       |       |       |

欠陥セクタ情報 23

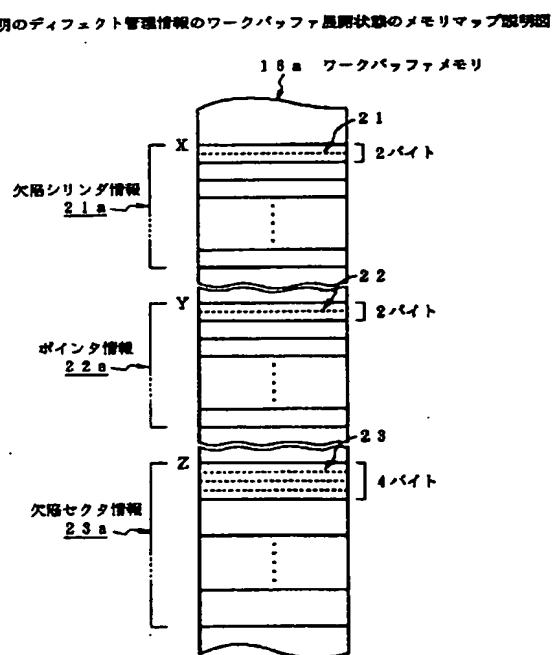
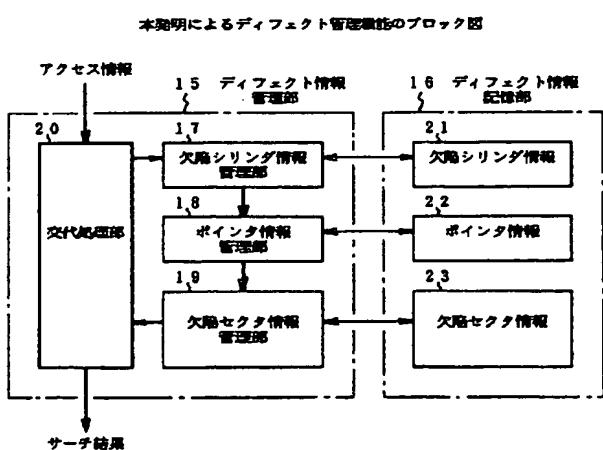
|        | Bit 7           | Bit 6 | Bit 5 | Bit 4 | Bit 3               | Bit 2 | Bit 1          | Bit 0 |
|--------|-----------------|-------|-------|-------|---------------------|-------|----------------|-------|
| Byte 0 | 交代位置番号 (Low)    |       |       |       | 欠陥シリング情報(CCの下位4ビット) |       |                |       |
| Byte 1 | 交代位置番号 (Middle) |       |       |       | 欠陥ヘッド番号             |       |                |       |
| Byte 2 | 欠陥セクタ番号 (Low)   |       |       |       |                     |       |                |       |
| Byte 3 | 交代位置番号 (High)   |       |       |       | LAST                | ALT   | 欠陥セクタ番号 (High) |       |

[图2]



【图3】

【図4】



【図5】

本発明のディフェクト管理で使用する欠陥シリング情報、ポインタ情報及び欠陥セクタ情報の説明図

(A) 欠陥シリング情報 2.1

|        | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|--------|-------|-------|-------|-------|-------|-------|-------|-------|
| Byte 0 | FF    |
| Byte 1 | FF    |
|        | ⋮     |       |       |       |       |       |       |       |

(B) ポインタ情報 2.2

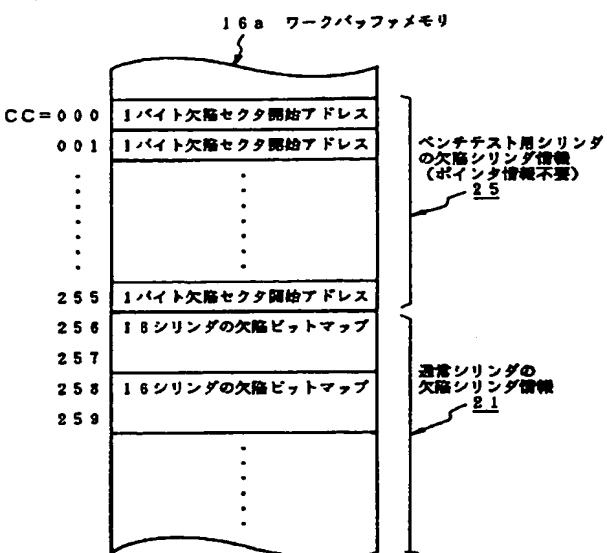
|        | Bit 7                     | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|--------|---------------------------|-------|-------|-------|-------|-------|-------|-------|
| Byte 0 | 欠陥シリング情報ペイト0／1の欠陥情報開始アドレス |       |       |       |       |       |       |       |
| Byte 1 | 欠陥シリング情報ペイト2／3の欠陥情報開始アドレス |       |       |       |       |       |       |       |
|        | ⋮                         |       |       |       |       |       |       |       |

(C) 欠陥セクタ情報 2.3

|        | Bit 7           | Bit 6 | Bit 5 | Bit 4 | Bit 3              | Bit 2 | Bit 1 | Bit 0 |
|--------|-----------------|-------|-------|-------|--------------------|-------|-------|-------|
| Byte 0 | 交代位置番号 (Low)    |       |       |       | 欠陥シリング情報(CDDF位4E1) |       |       |       |
| Byte 1 | 交代位置番号 (Middle) |       |       |       | 欠陥ヘッド番号            |       |       |       |
| Byte 2 | 欠陥セクタ番号 (Low)   |       |       |       | LAST               |       |       |       |
| Byte 3 | 交代位置番号 (High)   |       |       |       | ALT                | SP    | SL    | CL    |
|        | ⋮               |       |       |       |                    |       |       |       |

【図8】

本発明の他の実施形態で使用する欠陥シリング情報のメモリマップ説明図



【図9】

従来のディフェクト管理情報の説明図

(A) シリング・ディフェクト情報

|        | Bit 7                        | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|--------|------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Byte 0 | シリング0のディフェクト情報の欠陥セクタ位置開始アドレス |       |       |       |       |       |       |       |
| Byte 1 | シリング1のディフェクト情報の欠陥セクタ位置開始アドレス |       |       |       |       |       |       |       |
| Byte 2 | シリング2のディフェクト情報の欠陥セクタ位置開始アドレス |       |       |       |       |       |       |       |
| Byte 3 | ⋮                            |       |       |       |       |       |       |       |

(B) 欠陥セクタ情報

スリップセクタの場合

|        | Bit 7   | Bit 6 | Bit 5 | Bit 4 | Bit 3   | Bit 2 | Bit 1 | Bit 0 |
|--------|---------|-------|-------|-------|---------|-------|-------|-------|
| Byte 0 | ALT     | SP    | SL    | CL    | 欠陥ヘッド番号 |       |       |       |
| Byte 1 | 欠陥セクタ番号 |       |       |       |         |       |       |       |
|        | ⋮       |       |       |       |         |       |       |       |

交代セクタの場合

|        | Bit 7      | Bit 6     | Bit 5 | Bit 4 | Bit 3      | Bit 2 | Bit 1 | Bit 0 |
|--------|------------|-----------|-------|-------|------------|-------|-------|-------|
| Byte 0 | ALT        | SP        | SL    | CL    | 欠陥ヘッド番号    |       |       |       |
| Byte 1 | 欠陥セクタ番号    |           |       |       |            |       |       |       |
| Byte 2 | SS         | 交代先シリング番号 |       |       | 交代先論理ヘッド番号 |       |       |       |
| Byte 3 | 交代先論理セクタ番号 |           |       |       |            |       |       |       |
|        | ⋮          |           |       |       |            |       |       |       |

ALT : セット時、交代セクタであることを示す。  
SP : セット時、スペアセクタであることを示す。  
SL : セット時、スリップセクタであることを示す。  
CL : セット時、シリング最終であることを示す。  
SS : セット時、同一シリングのスペア交代。  
クリア時、交代シリングのスペアへ交代。

複数セクタ数の増加に対応した従来の欠陥セクタ情報の説明図

(A) スリップセクタの場合

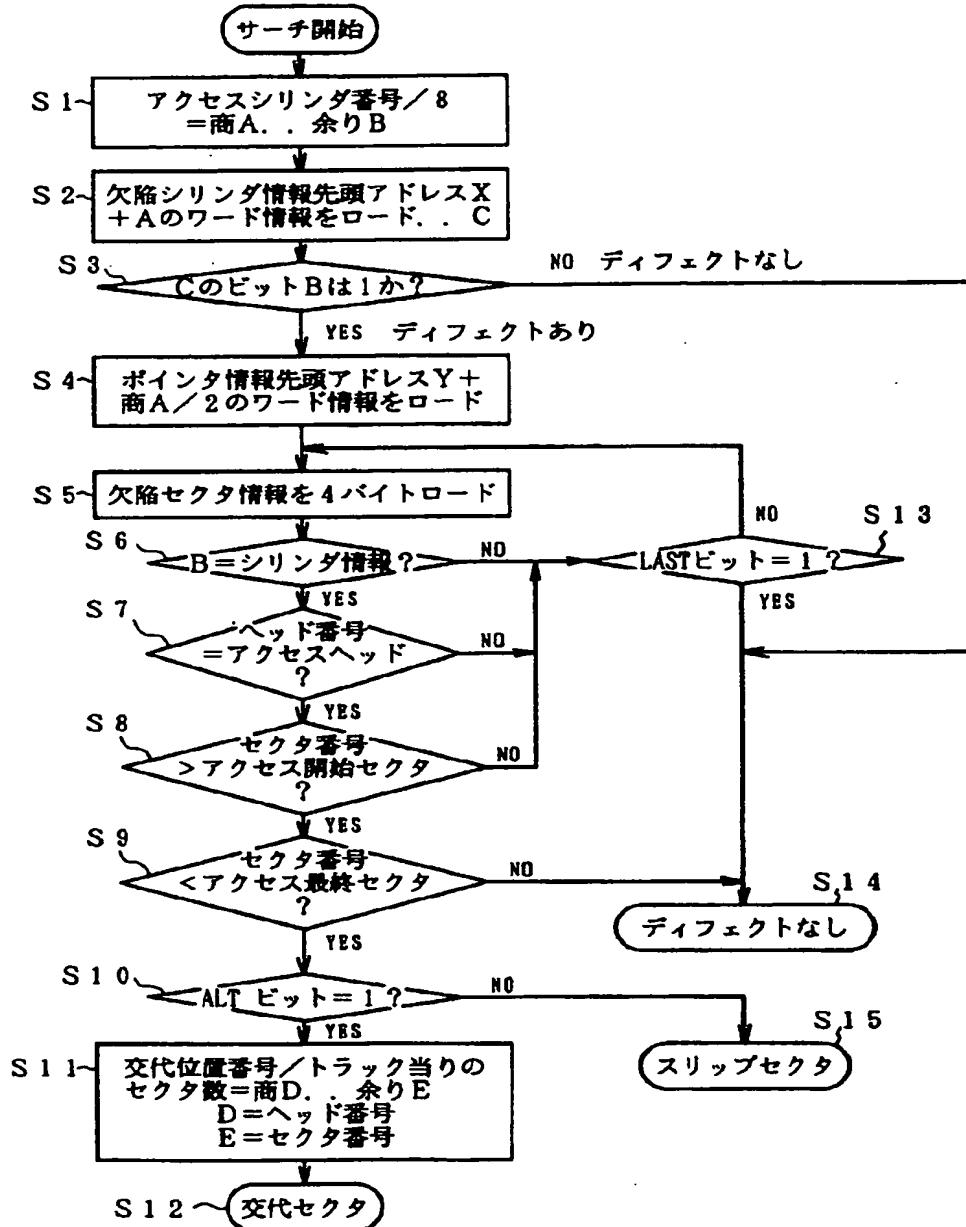
|        | Bit 7         | Bit 6 | Bit 5 | Bit 4 | Bit 3      | Bit 2 | Bit 1 | Bit 0 |
|--------|---------------|-------|-------|-------|------------|-------|-------|-------|
| Byte 0 | 欠陥セクタ番号 [LSB] |       |       |       |            |       |       |       |
| Byte 1 | 欠陥ヘッド番号       |       |       |       |            |       |       |       |
| Byte 2 | ALT           | SP    | SL    | CL    | セクタ番号[MSB] |       |       |       |
| Byte 3 | ⋮             |       |       |       |            |       |       |       |

(B) 交代セクタの場合

|        | Bit 7            | Bit 6      | Bit 5 | Bit 4 | Bit 3      | Bit 2 | Bit 1 | Bit 0 |
|--------|------------------|------------|-------|-------|------------|-------|-------|-------|
| Byte 0 | 欠陥セクタ番号 [LSB]    |            |       |       |            |       |       |       |
| Byte 1 | 欠陥ヘッド番号          |            |       |       |            |       |       |       |
| Byte 2 | ALT              | SP         | SL    | CL    | セクタ番号[MSB] |       |       |       |
| Byte 3 | 交代先論理セクタ番号 [LSB] |            |       |       |            |       |       |       |
| Byte 4 | 交代先論理ヘッド番号       |            |       |       |            |       |       |       |
| Byte 5 | SS               | セクタ番号[MSB] |       |       |            |       |       |       |
|        | ⋮                |            |       |       |            |       |       |       |

【図6】

## 本発明のディフェクト管理情報に対するサーチ処理のフローチャート



【図10】

ゾーンで管理する使用のディフェクト管轄情報の説明図

(A) 欠陥ゾーン情報

|        |         | Bit 7            | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|--------|---------|------------------|-------|-------|-------|-------|-------|-------|-------|
| Byte 0 | Byte 3  | ゾーン0、ヘッド0の開始アドレス |       |       |       |       |       |       |       |
| Byte 4 | Byte 7  | ゾーン0、ヘッド1の開始アドレス |       |       |       |       |       |       |       |
| Byte 8 | Byte 12 | ゾーン0、ヘッド2の開始アドレス |       |       |       |       |       |       |       |

(B) ゾーン・ポインタ情報

|        |        | Bit 7                   | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|--------|--------|-------------------------|-------|-------|-------|-------|-------|-------|-------|
| Byte 0 | Byte 1 | ゾーン0、ヘッド0の欠陥セクタ位置開始アドレス |       |       |       |       |       |       |       |
| Byte 2 | Byte 5 | ゾーン0、ヘッド1の欠陥セクタ位置開始アドレス |       |       |       |       |       |       |       |
| Byte 4 | Byte 5 | ゾーン0、ヘッド2の欠陥セクタ位置開始アドレス |       |       |       |       |       |       |       |

(C) 欠陥セクタ情報

|        |            | Bit 7 | Bit 6 | Bit 5 | Bit 4      | Bit 3     | Bit 2 | Bit 1 | Bit 0 |
|--------|------------|-------|-------|-------|------------|-----------|-------|-------|-------|
| Byte 0 | 欠陥セクタ番号    |       |       |       |            |           |       |       |       |
| Byte 1 | SL         | ALT   |       |       | 交代先論理ヘッド番号 | 交代先ポインタ番号 |       |       |       |
| Byte 2 | 欠陥シリシング番号  |       |       |       |            |           |       |       |       |
| Byte 3 | 交代先論理セクタ番号 |       |       |       |            |           |       |       |       |
| Byte 4 | 交代先論理セクタ番号 |       |       |       |            |           |       |       |       |
| Byte 5 | Reserved   |       |       |       |            |           |       |       |       |